

NEURON ARCHITECTURE

Publication number: JP2064788

Publication date: 1990-03-05

Inventor: TSUZUKI HIROYUKI; ENDO SHUICHI; KAWASAKI TAKASHI; MATSUDA TOSHIHARU; ASAKAWA KAZUO; KATO HIDEKI; YOSHIZAWA HIDEKI; ICHIKI HIROMOTO; IWAMOTO HIROSHI; TSUCHIYA CHIKARA; ISHIKAWA KATSUYA; SUGIURA YOSHIHIDE

Applicant: FUJITSU LTD

Classification:

- International: **G06G7/60; G06F15/18; G06N1/00; G06N3/04; G06G7/00; G06F15/18; G06N1/00; G06N3/00; (IPC1-7): G06F15/18; G06G7/60**

- European:

Application number: JP19880215103 19880831

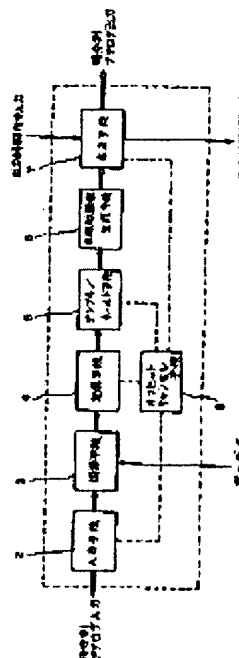
Priority number(s): JP19880215103 19880831

[Report a data error here](#)

Abstract of JP2064788

PURPOSE: To attain information processing at a high speed by providing a second neuron model which is connected to a common bus and inputs the output signal of plural first neuron models with time-sharing.

CONSTITUTION: An input means 2 inputs an analog voltage to be outputted from the plural neuron models with being time-shared and multiplexed. A multiplying means 3 executes positive and negative switching by using the encoding bit of digital weighting data, which are inputted from an external part, for a time-sharing and multiplexing analog input signal. Further, the route of a current with weighting to be converted from the respective voltage values of the time-sharing and multiplexing analog signal is selected by the numerical value bit of the digital weighting data. Then, a product between the respective voltages of the time-sharing and multiplexing analog signals and the digital weighting data is generated. An adder means 4 executes integration operation and a non-linear function generating means 6 forms a non-linear output function by the output of a sample - hold means 5. An output means 7 outputs an analog output voltage, which is outputted to the neuron model in a rear step, with the time-sharing.



Data supplied from the [esp@cenet](#) database - Worldwide

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平2-64788

⑬ Int. Cl.³

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)3月5日

G 06 G 7/60
// G 06 F 15/18

7208-5B
6745-5B

審査請求 未請求 請求項の数 17 (全18頁)

⑮ 発明の名称 ニューロンアーキテクチャ

⑯ 特 願 昭63-215103

⑰ 出 願 昭63(1988)8月31日

⑱ 発 明 者 都 築 裕 之 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑲ 発 明 者 遠 藤 秀 一 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑳ 発 明 者 川 崎 貴 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

㉑ 発 明 者 松 田 俊 春 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

㉒ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

㉓ 代 理 人 弁理士 大菅 義之 外1名

最終頁に続く

明 細 書

1. 発明の名称

ニューロンアーキテクチャ

2. 特許請求の範囲

1) それぞれの出力信号を順次時分割的に発生する複数の第1のニューロンモデルと、

該複数の第1のニューロンモデルに接続され前記複数の第1のニューロンモデルの出力を順次時分割に転送する共通バスと、

前記共通バスに接続され前記複数の第1のニューロンモデルの出力信号を時分割的に入力する第2のニューロンモデルとからなることを特徴とするニューロンアーキテクチャ。

2) 複数のニューロンモデルから送られてくるアナログ信号を時分割的に入力する各アナログ入力信号に、対応する重みデータを掛けて得られた各信号の和を時分割的に出力することとを特徴とするニューロンモデル。

3) 請求項2記載の前記ニューロンモデルを複数個接続することにより構成したことを特徴とするアナログ並列計算機。

4) 前記アナログ入力信号はこれらが送出された各ニューロンモデルに対応する振幅値を有するとともに次段のニューロンモデルを興奮させるか抑制させる制御を行うために正負の値を有することとを特徴とする請求項2記載のニューロンアーキテクチャ。

5) 複数のニューロンモデルを相互に接続することにより形成されるニューラルネットの各ニューロンモデルにおいて、

入力手段(2)は、オフセットコントロール信号が与えられると、オフセットキャンセル部を介してバッファに強制的に0電圧が入力され、次段に接続される各部のオペアンプの出力にオフセット電圧を発生させる手段を有することとを特徴とするニューロンアーキテクチャ。

6) 複数のニューロンモデルを相互に接続することにより形成されるニューラルネットの各ニュー

ーロンモデルにおいて、

入力信号を零にした時に各回路上に生じる回路のオフセット電圧を検出し、前記オフセット電圧の入力換算値をフィードバックすることにより、演算時に、時分割多重化アナログ入力電圧に作用して回路上の前記オフセット電圧をキャンセルするオフセットキャンセル手段(8)を有することを特徴とするニューロンアーキテクチャ。

7) 複数のニューロンモデルを相互に接続することにより形成されるニューラルネットの各ニューロンモデルにおいて、

前段の複数のニューロンモデルから時分割多重化されて出力されるアナログ電圧を入力する入力手段(2)と、

前記時分割多重化アナログ入力信号を外部より入力されるデジタル重みデータの符号ビットを用いて正負の切り換えを実行し、さらに前記時分割多重化アナログ信号の各電圧値から変換された重み付きの電流の経路を前記デジタル重みデータの数値ビットで選択することにより、前記時分割多

手段(2)と、

前記アナログ入力信号に積和处理を施したあと非線形関数手段を過すか否かの制御を行う手段とを有することを特徴とするニューロンアーキテクチャ。

10) 前記非線形関数手段は複数の増幅手段がカスケードに接続されてなり、該増幅手段のうち所定数のものを選定することにより所望の非線形関数を得ることを特徴とする請求項9記載のニューロンアーキテクチャ。

11) 複数のニューロンモデルを相互に接続することにより形成されるニューラルネットの各ニューロンモデルにおいて、

前段の複数のニューロンモデルから時分割多重化されて出力されるアナログ電圧を入力する入力手段(2)と、

前記時分割多重化アナログ入力信号を外部より入力されるデジタル重みデータの符号ビットを用いて正負の切り換えを実行し、さらに前記時分割多重化アナログ信号の各電圧値から変換された重

重化アナログ信号の各電圧と可変の前記デジタル重みデータとの積を生成する掛算手段(3)とを有することを特徴とするニューロンアーキテクチャ。

8) 複数のニューロンモデルを相互に接続することにより形成されるニューラルネットの各ニューロンモデルにおいて、

前段の複数のニューロンモデルから時分割多重化されて出力されるアナログ電圧を入力する入力手段(2)と、

前記時分割多重化アナログ信号の各電圧と前記デジタル重みデータとの各積を時分割的にキャパシタを介して加えることにより積分動作を実行する加算手段(4)とを有することを特徴とするニューロンアーキテクチャ。

9) 複数のニューロンモデルを相互に接続することにより形成されるニューラルネットの各ニューロンモデルにおいて、

前段の複数のニューロンモデルから時分割多重化されて出力されるアナログ電圧を入力する入力

み付きの電流の経路を前記デジタル重みデータの数値ビットで選択することにより、前記時分割多重化アナログ信号の各電圧と可変の前記デジタル重みデータとの積を生成する掛算手段(3)と、

前記時分割多重化アナログ信号の各電圧と前記デジタル重みデータとの各積を時分割的にコンデンサを介して加えることにより積分動作を実行する加算手段(4)と、

前記加算手段(4)の出力をサンプル/ホールドするサンプル/ホールド手段(5)と、

区分線形近似により構成される非線形出力関数を形成する非線形関数生成手段(6)と、

後段のニューロンモデルに出力するアナログ出力電圧を時分割的に出力する出力手段(7)と、

入力信号を零にした時に各回路上に生じる回路のオフセット電圧を検出し、前記オフセット電圧の入力換算値をフィードバックすることにより、演算時に、時分割多重化アナログ入力電圧に作用して回路上の前記オフセット電圧をキャンセルするオフセットキャンセル手段(8)とを有するこ

とを特徴とするニューロンアーキテクチャ。

12) 前記入力手段(2)は、オフセットコントロール信号が与えられると、オフセットキャンセル部を介してバッファに強制的に0電圧が入力され、次段に接続される各部のオペアンプの出力にオフセット電圧を発生させる手段を有することを特徴とする請求項11記載のニューロンアーキテクチャ。

13) 前記掛算手段(3)は、前記入力手段(2)から出力された時分割を多重化アナログ信号の各アナログ信号パルス電圧をデジタル重みデータの符号ビットに従って興奮性の正電圧または抑制性の負電圧に切り換える正負切換手段と、前記正負切換手段から出力された電圧を $R-2R$ 方式のD-Aコンバータの内部にある $R-2R$ 方式の抵抗回路網にて各 $2R$ 抵抗に重み電流を流し、前記デジタル重みデータの数値ビットに対応した重み電流を選択することにより、前記時分割多重化アナログ信号と前記デジタル重みデータの積を生成することを特徴とする請求項11記載のニューロンア

ーキテクチャ。

14) 前記加算手段(4)は、アナログ積分器を基本とし、第1のサンプルホールド信号が入力されたときのみ帰還キャパシタにおいて前記掛算手段(3)からのアナログ信号を加算し、前記オフセットコントロール信号が入力されたとき、入力信号電圧の零に対する前記各手段に生じたオフセット電圧を前記帰還キャパシタの極性を反転することにより、キャンセルすることを特徴とする請求項11記載のニューロンアーキテクチャ。

15) 前記サンプルホールド手段(5)は、第2のサンプルホールド信号が入力されたとき、前記加算手段(4)からの出力電圧からバッファの入力電圧を零にしたときに最終出力点に生成されたオフセット電圧を減じた電圧をホールドし、前記サンプルホールド信号の反転により前記電圧を前記バッファに入力することにより、等価的に、前記オフセット電圧をキャンセルすることを特徴とする請求項11記載のニューロンアーキテクチャ。

16) 前記非線形関数生成手段(6)は、複数の

電流切換型回路の出力点を共通に接続することにより生成されるシグモイド関数であって、この関数を通過させるかどうかを選択することを特徴とするニューロンアーキテクチャ。

17) 前記出力手段(7)は、出力制御入力信号が入力されたとき、バッファの出力を外部に伝達し、前記出力制御入力信号の論理にかかわらず、前記バッファ動作が実行でき、しかも前記バッファのオフセット最終出力電圧が前記サンプル/ホールド手段(5)に帰還され、さらに、出力制御出力信号は前記出力制御入力信号を一定時間だけ遅延して生成されることを特徴とする請求項11記載のニューロンアーキテクチャ。

3. 発明の詳細な説明

(概 要)

ニューロン間の重みが可変でき、時分割アナログ入出力処理を可能とするアナログニューロチップアーキテクチャの構成に関し、

オフセットキャンセル機能を有するアナログニ

ューロン回路上で時分割アナログ入出力処理を行うことにより、ユニット間の相互配線数を減少させ、さらに可変の重みを設定できるアナログニューロチップアーキテクチャを提供することを目的とし、

複数のニューロンモデルを相互に接続することにより形成されるニューラルネットの各ニューロンモデルにおいて、前段の複数のニューロンモデルから時分割多重化されて出力されるアナログ電圧を入力する入力手段と、前記時分割多重化アナログ入力信号を外部より入力されるデジタル重みデータの符号ビットを用いて正負の切り換えを実行し、さらに前記時分割多重化アナログ信号の各電圧値から変換された重み付きの電流の経路を前記デジタル重みデータの数値ビットで選択することにより、前記時分割多重化アナログ信号の各電圧と可変の前記デジタル重みデータとの積を生成する掛算手段と、前記時分割多重化アナログ信号の各電圧と前記デジタル重みデータとの各積を時分割的にコンデンサを介して加えることにより積

分動作を実行する加算手段と、前記加算手段の出力をサンプル／ホールドするサンプル／ホールド手段と、区分線形近似により構成される非線形出力関数を形成する非線形関数生成手段と、後段のニューロンモデルに出力するアナログ出力電圧を時分割的に出力する制御回路を有する出力手段と、入力信号を零にした時に各前記手段上に生じる回路のオフセット電圧を検出し、前記オフセット電圧の入力換算値をフィードバックすることにより、演算時に、時分割多重化アナログ入力電圧に作用して回路上の前記オフセット電圧をキャンセルするオフセットキャンセル手段とを有するように構成する。

(産業上の利用分野)

本発明はアレイ状に相互配線されたニューロンで構成されるニューラルネットのハードウェア化に係り、更に詳しくはニューロン間の重みが可変でき、時分割アナログ入出力処理を可能とするニューロンアーキテクチャに関する。

(発明が解決しようとする課題)

このようなニューラルネットを集積回路として実現する場合、ニューロンの各ユニット間の接続(リンク)の方法、ユニット内の各処理部の構成、重みの設定方法、大規模化、高精度化、高速処理化が重要となる。ニューラルネットではユニット間の接続が完全グラフ、すなわち、1つのユニットは他のユニットにすべて接続された状態で接続され、その接続点における重みの値を変えることによって等価的に接続の有無を決めることが考えられる。そのために、大量のユニット配置と膨大なユニット間接続を必要とする大規模なニューラルネットを構成することが難しいという問題点が生じていた。

また、ユニット内の各処理部の構成においてもニューロンモデルを基本的なアナログ演算であるオペアンプを使用して構成した場合、そのオペアンプのオフセット電圧すなわち、入力電圧が0である場合でも出力電圧がわずかな値 ΔV だけ出る

ニューラルネットで構成されるニューロコンピュータはパターン認識知識処理、機械制御、信号処理などに利用され得ると考えられている。

例えば、パターン認識では、文字、画像、音声などの認識、機械制御では、ロボットなどの制御、知識処理では、エキスパートシステムへの適用、信号処理では、画像の圧縮、復元などへニューラルネットが適用できる。このようにニューラルネットはニューロンをネットワーク上に接続することにより、超並列処理を行い、学習機能をもった高度な情報処理を高速に行うことができ、広範囲な分野での利用が期待されている。そしてニューラルネットの性能を引き出すために必要とされるニューロンのハードウェア化の実現が待たれている。

(従来の技術)

現在ニューラルネットの実行には、パソコン等を用いてソフトウェアのシミュレーションで実現している。

という現象があり、そのために、大規模でしかも高精度なニューラルネットが構成できないという問題点がある。さらに、ニューラルネットにおける学習処理ではシナプス結合の重みを可変にする必要があるが、このために電圧制御型の抵抗器を用いていると高精度なニューラルネットを構成できないという問題点が生じていた。このような背景から、ニューラルネットにおける学習及び問題解決に対しては、従来は逐次計算機によるシミュレーションで実行していたため、ハードウェア化された大きなニューラルネットは実用化されていないという問題点が生じていた。

本発明はオフセットキャンセル機能を有するアナログニューロン回路上で時分割アナログ入出力処理を行うことにより、ユニット間の相互配線数を減少させ、さらに可変の重みを設定できることを目的とする。

(課題を解決するための手段)

第1図は、本発明のブロック図であり、複数の

ニューロンモデルを相互に接続することにより形成されるニューラルネットの各ニューロンモデルの構成を示す。入力手段2は、前段の複数のニューロンモデルから時分割多重化されて出力されるアナログ電圧を入力する。掛算手段3は、前記時分割多重化アナログ入力信号を外部より入力されるデジタル重みデータの符号ビットを用いて正負の切り換えを実行し、さらに前記時分割多重化アナログ信号の各電圧値から変換された重み付きの電流の経路を前記デジタル重みデータの数値ビットで選択することにより、前記時分割多重化アナログ信号の各電圧と可変の前記デジタル重みデータとの積を生成する。加算手段4は、前記時分割多重化アナログ信号の各電圧と前記デジタル重みデータとの各積を時分割的にコンデンサを介して加えることにより積分動作を実行する。サンプル／ホールド手段5は、前記加算手段4の出力をサンプル／ホールドする。非線形関数生成手段6は、区分線形近似により構成される非線形出力関数を形成する。出力手段7は、後段のニューロンモデル

ルに出力するアナログ出力電圧を時分割的に適当な時間に出力するものである。オフセットキャンセル手段8は、入力信号を零にした時に各前記手段上に生じる回路のオフセット電圧を検出し、前記オフセット電圧の入力換算値をフィードバックすることにより演算時に、時分割多重化アナログ入力電圧に作用して回路上の前記オフセット電圧をキャンセルする。

〔作 用〕

本発明のニューラルネットでは、前段のニューロンからの出力を時分割多重化することにより、ユニット間のリンクの空間的な広がりを時間軸でのパルス数に写像し、さらにアナログ信号とデジタル重みデータとの積をD/A変換器を用いて構成し、しかも、オフセットキャンセル回路を付加することにより重みの設定化、大規模化、高精度化を実現している。

〔実 施 例〕

次に本発明の実施例を図面を参照して説明する。

第2図は、本発明に用いられるニューロンモデルのブロック図である。ニューロンモデルはニューラルネットの各ノードにあたる処理要素であり、ユニットと呼ばれている。神経回路網、すなわちニューラルネットの場合には、ユニットと伝達線とを合わせてニューロン、すなわちユニットと呼び、伝達線とユニットとの結合点をシナプス結合と呼ぶこともある。それぞれの結合には重みと呼ばれる量が付加されている。この重みはユニット間の相互作用の強さを表すパラメータであって通常 W_{ih} でユニットhからユニットiへの結合とその結合の重みの両方をさす。ネットワークの学習は通常この重みを変化させることで実現される。ニューラルネットの全ユニットの内部状態をネットワークの状態というが、各ユニットでは x_i が内部活性化レベルと呼ばれる内部状態になっている。

各ユニットiは前段のユニットからの重み付入

力を受けて、その総和を計算し、その値に適当な非線形関数fをほどこしたものを出力とする。すなわち、ニューロンモデルは第2図に示すように他のニューロンモデル、すなわち他のユニットからの出力 y_h に対して

$$x_i = \sum_h y_h \cdot W_{ih} + \theta \quad \dots \dots (1)$$

$$y_i = f(x_i) \quad \dots \dots (2)$$

の処理を行って出力するものである。

ここで、 y_h はユニットhの出力、 y_i はユニットiの出力、 W_{ih} はiユニットとhユニット間のリンクの重み、fは非線形関数、 θ は閾値である。

ニューラルネットは、このようなユニットをネットワーク上に接続したものである。

各ユニットが入力総和から次の新しい状態、すなわち出力を決める場合、シグモイド関数に従うようにしている。このシグモイド関数は、入力総和 x_i が求まると

$$y_i = \frac{1}{1 + \exp(-x_i)} \quad \dots \dots (3)$$

として出力 y_i を求めるものである。このシグモ

イド関数は第14図に示すように一般に入力が大
きいほど状態が1近づき、しかもこのグラフの形
は θ によって変化する。

ニューラルネットにおける学習の方式は種々あ
り、例えば誤り訂正型の方法が使われる。この方
式は、ネットワークにある結合の重みのパターン
をその時点で与え、もし、そのパターンが間違っ
ていた場合にはその結合の重みを修正するという
繰り返しによって最終的に正しいパターンを求め
るというものである。

すなわち、時刻Tにおけるパターンが入力され
た場合に、それに対する最終の出力層にあるユニ
ットの解が、もし望むべき解でなければ、その誤
差を小さくするように重み W_{ik} を変えるようにし
て学習処理が行われる。このような、学習処理に
おいてはネットワークが正解と同じ結果を出力し
た場合には、結合は変化させないが、正解が例え
ば1であるのにネットワークの出力が0を出した
場合には、ユニットの結合を例えば1だけ増加さ
せ、ネットワークの出力が1になるような方向へ

修正していくことになる。従って、学習処理にお
いては、重み W_{ik} が任意に変にできることが極
めて重要になる。ネットワークを動作させ、得ら
れた出力と正解とを比較し、その誤差が小さくな
るように結合の重みを修正していくことになるが、
集積回路上のユニット間の結合に対して各ユニ
ットが他のユニットにすべて結合されたハード的に
完全グラフのニューラルネットでは、ユニット間
の接続は大量のユニットと膨大なユニット間接続
を必要とするため、大規模なニューラルネットを
構成することが非常に難しくなる。

そのため、ユニット間の接続を減少させ、配線
上では1本の配線でユニット間を接続し、前段の
ユニットから後段のユニットへは電圧値の異なる
パルスの時分割で伝送し、その電圧の振幅値を重
みに対応して伝送するようにすれば完全グラフで
はない構造で集積回路が構成でき、大量のユニ
ットを等価的に接続することが可能となる。本発明
はこのようにユニット間の伝送においてアナログ
電圧に対する時分割処理を行うものである。

この時分割処理を図面を参照して説明する。

第3図は完全グラフによるニューラルネットの
概念図である。同図においてU1、U2、U3は
前段のユニット、U4、U5は後段のユニットで、
 $y_1 \sim y_3$ は各ユニットの出力信号である。前段
の各ユニットU1、U2、U3はそれぞれ後段の
ユニットU4、U5に共に接続され、例えばU1
はU4、U5に出力線 y_1 によって接続されてい
る。すなわち、前段の各ユニットは後段のユニ
ットにすべて接続されている。学習時には例えば y_1
 $\sim y_3$ の結合における重みとして適当なパターン
を与え、ネットワークから出力された出力値が目
的の解でなければ、この重みパターンをその差が
小さくなるように変えていく。このような場合、
前段から後段へのパルスの伝送を同時に行うこ
とができるが、集積回路上では配線が非常に複雑
になる。

第4図は本発明のニューラルネットの構成の概
念図である。同図においてU1、U2、U3は前
段のユニットであり、U4、U5は後段のユニ

ットである。前段の各ユニットから出力される出力
信号は同じバスAに接続され、そのバスAに後段
のU4、U5が接続されている。同様に後段のU
4、U5からの出力もバスBに共通に接続されて
いる。従って前段のユニットから後段のユニット
への接続はバスAのみによって接続されるため、
配線上極めて小さくなり、集積回路としての実現
性は極めて高くなる。前段のユニットから後段の
ユニットへの伝送時においては、重みに対応する
振幅を有するアナログパルス電圧が時分割で伝送
される。

第5図は本発明のニューラルネットにおける伝
送波形の概念図である。同図において、上は第4
図のニューラルネットにおけるバスA上の信号を
示し、下の図は後段の出力線であるバスB上での
電圧波形である。前段のユニットU1から出力さ
れる電圧は正で値が大きい場合のパルスで Δt 間
に振幅 y_1 の電圧値となっている。U2からは負
の電圧が出力され、その振幅値 y_2 は負になって
いる。 y_3 はU3から出る出力電圧で、正の値を

有するパルスとなっている。このように、正、負が存在するのはニューラルネットにおける各ニューロンが興奮性であるか、抑制性のものであるかによって異なる為である。興奮性の場合に、正、抑制性の場合に負の値のパルスが出るようにしている。これらの時分割のアナログ信号が後段のユニットU4に与えられるとユニットU4の出力は興奮性のパルスとして、高さが y_i の正の電圧を Δt 間にバスBに出力する。そして、少し遅れて次のタイミングで後段のU5は抑制性の振幅値 y_i のパルスをバスBに出力する。このように、本発明では各ニューロン間での伝送は時分割多重化アナログ信号によるものとなる。

第6図は本発明の入力部のブロック図である。入力信号は前段の複数のユニットから出力された時分割アナログ入力である。この入力パルス電圧は、入力インピーダンスが無限大で、出力インピーダンスが0である1倍のアンプすなわち、バッファ9で整形され、出力されるが、本発明では、この入力部にオフセットキャンセル機能がある。

の出力には、アナログ信号とデジタル重みデータとの積が生成され、バッファ14から出力される。この掛算部の機能により本発明ではニューロン間の重みが可変にでき、ニューラルネットの特性を動的に変化させることができ、外部制御によりネットワークの学習が可能となる。

第8図は本発明の加算部のブロック図である。第7図の掛算部の結果、すなわち時分割多重化アナログ信号とデジタル重みデータとの積の結果の電圧は積分器16に入力されるが、本発明では入力される信号は振幅値の異なるパルス電圧であり、これが時分割で入力されるので、時分割加算制御部15の制御に従って次段の積分器16の内部にあるコンデンサにそのアナログ信号とデジタル重みデータとの積の和が貯えられる。さらにオフセットキャンセル制御部17の制御に従って入力電圧を強制的に0にした時のコンデンサの電圧をスイッチによって反転させ、実際の入力が加算された結果からこのオフセット電圧を引くことによりオフセット電圧をキャンセルしている。この回路

オフセットキャンセル制御部10からオフセットコントロール信号が与えられると、オフセットキャンセル部11を介してバッファ9に強制的に0電圧が入力され、次段に接続される各部のオペアンプの出力にオフセット電圧を発生させ、後述する機能によりオフセットをキャンセルするようにしている。

第7図は本発明の掛算部のブロック図である。ここでは、第6図の入力部から出力された時分割アナログ信号の各アナログ信号パルス電圧を正負切換回路12に投入し、デジタル重みデータの符号ビット(SIGN)に従って興奮性の正電圧または抑制性の負電圧に切り換え、D/Aコンバータ13に投入する。D/Aコンバータ13にはデジタル重みデータの数値ビットのMSBからLSBまで投入され、正負切換回路12から出力された電圧をD/Aコンバータ13の内部にあるR-2R方式の抵抗回路に与える。このことにより、数値ビットに対応した重み電流がR-2R方式の抵抗回路に流れ、結果として、D/Aコンバータ13

によって精度が低下することを防いでいる。

第9図は本発明のサンプル/ホールド部のブロック図である。第8図の積分器の出力が第9図のサンプル/ホールド部に投入され、コンデンサにその値がホールドされるが、ここでも、オフセットキャンセル機能を持たせている。すなわちオフセットキャンセル制御部20からの制御に従って次段の回路に発生するオペアンプのオフセット電圧をオフセットキャンセル部19にフィードバックし、そのオフセット電圧をキャンセルするようにしている。

第10図は本発明のシグモイド関数発生回路のブロック図である。第9図のサンプル/ホールド部においてサンプル/ホールドされたアナログ信号とデジタル重みデータとの積の和がシグモイド関数回路21に投入される。本発明ではこのシグモイド関数をアナログ回路による区分線形近似により、正確に構成し、しかも非線形回路選択制御部22の制御に従ってシグモイド関数を通すかどうかの有無を決定している。本発明ではアナログ

回路の区分線形近似により非常にシグモイド関数に近い量子化器が高精度、高性能な回路として実現されている。

第11図は本発明の出力部のブロック図である。本発明ではニューラルネットのユニット間は必ず時分割のアナログ電圧で伝送するため、出力制御部23に入力される出力制御入力信号の制御により、第10図のシグモイド関数によって生成された出力電圧は時分割アナログ出力部24によって適当な時間に出力される。また、ユニット間の相互の時間間隔を制御するために出力制御信号が外部に伝送される。ユニット間の伝送には時分割多重化アナログ信号の伝送を行っているため、ニューラルネットは完全グラフにする必要はなく、従って、極めて構造が簡単になり、実現性が高いことになる。

第12図は、本発明のニューラルネットのユニットの詳細図である。本発明のユニットでは入力部2、掛算部3、加算部4、サンプル／ホールド部5、非線形関数部6、及び出力部7から構成さ

れている。

入力部2はオフセットキャンセル部11と、1倍のバッファ9から構成されている。1倍のバッファ9はオペアンプの出力を-端子にフィードバックし、+端子に入力電圧を入力することによって構成される。データ入力はアナログの時分割されたパルス信号である。OCはオフセットコントロール信号であり、これが1のときアナログスイッチ26がオンし、1倍のバッファ9には、0電圧が強制的に設定される。一方、オフセットコントロール信号OCが、0のときアナログスイッチ26はオフされ、アナログスイッチの他方25がオンし、データ入力が1倍のバッファ9に入力される。すなわち、オフセットコントロール信号OCが1である場合には、ニューロンモデルのユニットには0ボルトが強制的に入力されて次段の回路のオペアンプの出力に生じるオフセット電圧に対するオフセットのキャンセルの動作を行うようにしている。

正負切換回路12は2つの倍数器をカスケード

結合して構成されている。倍数器では入力抵抗(10K Ω)とフィードバック抵抗(10K Ω)によって10/10、すなわち1倍の電圧の反転したものが形成され、それを1段だけを通すか、2段を通すかによってアナログ電圧の符号を決定している。その制御電圧はデジタル重みデータの符号ビット(SIGN)であり、このSIGNビットはMOSスイッチ30のゲートに接続されている。符号ビットが1である場合に入力部からの入力電圧は第1段目の倍数器で反転され、さらにスイッチ27もオンしているので後段の倍数器も通り、結果として正相となる。また符号ビットが0である場合には、反転回路28を介して、スイッチ29がオンとなる。この時スイッチ27と30はオフしているため、入力部からの入力電圧はスイッチ29を介して後段のオペアンプ31の-端子に入力される。従って、前段の抵抗32と後段のオペアンプのフィードバックの抵抗33とによって倍数器が形成され、1倍された形で反転される。すなわち、符号ビットの正負によって入力部の入力が、

正または負の電圧として形成され、これが、興奮性と抑制性のシナプス結合に従った電圧となる。正負切換回路12からの出力は掛算部3の中にあるD/Aコンバータ13のR-2R抵抗回路網の34の点に入力される。

R-2R方式のD/Aコンバータをまず説明する。MSBからLSBまでのデジタル重みによって内部のスイッチはオンまたはオフをとる。デジタル値が1である場合に、電流は右側のスイッチ35を通過して、オペアンプ36の仮想接地点37'に流れ込む。オペアンプ36の仮想接地点37'は+端子と同じ電圧になるように制御され、これがグラウンドであるから仮想的な0ボルトである。スイッチの状態に関わらず、2Rの抵抗には電流が流れ、デジタル値の値に従ってその2Rに流れる重み電流が仮想接地点37'の方に流れるかが決定される。1番右の2Rに流れる電流を*i*とする。右から2番目すなわちLSBに対応する2Rは1番右の2Rに係る電圧を2Rで割った値であるから $2R \times i + 2R$ で*i*となる。従って1

番右の横方向のRには電流1が流れる。右から3番目の2Rには $2R \times i + R \times 2i$ の電圧がかかり、これを2Rで割るから2iの電流が流れる。以下同様で左に行くに従って4i、8iとなって2のべき乗で増える電流になる。この2のべき乗になった重み電流をオペアンプの方に流すか流さないかを決めているのがMSBからLSBである。従って、デジタル重みに対応する電流が2のべき乗の形で仮想接地に入りこみ、オペアンプの入力インピーダンスは無限大であるから、この電流がオペアンプ36の帰還抵抗37に流れる。従って、出力電圧 V_{out} は入力電圧をEとすれば、

$$V_{out} = -\frac{E}{2^n} \times (D_0 + 2 \times D_1 + 2^2 \times D_2 + \dots + 2^{n-1} \times D_{n-1})$$

となる。ここで、 D_0 はLSBで、 D_{n-1} がMSBであるとする。すなわち、掛算部3'の出力は入力電圧に重みを掛けた値になっている。その重み係数はMSBからLSBに輸入されるデジタル値で制御されることになる。

0にされる。この場合、正負切換回路12及び掛算部のD/Aコンバータ13を介してもしオフセットがなければ、D/Aコンバータの出力は0ボルトとなる。しかし、オペアンプがあるためにオフセット電圧が生じ、そのオフセット電圧が加算部の C_F に蓄えられる。オフセットコントロール信号OCが0のときには、データインプットに入力電圧が与えられ、それに対応する掛算部の出力が R_F を介して C_F に輸入される。この場合、前のオフセットコントロール信号が1である場合と違って C_F の+-の極性は逆である。そのため、入力信号が入力された時に生じるオフセット電圧はOCを1にすることにより、 C_F の極性が変わり、結果として、オフセットがキャンセルされることになる。本発明では、このように、キャパシタ C_F の極性の反転を用いて等価的にオフセットキャンセル機能を有するように構成されている。なお、スイッチ47はリセット信号によって制御され、リセット信号が与えられた場合に、加算部の出力を強制的に0にリセットするものである。

次に加算部4を説明する。加算部4は R_F 38と帰還キャパシタ C_F による積分器である。加算部4の入力部には時分割加算制御部15があり、サンプル/ホールド信号S/H信号が1のとき掛算部3の出力電圧がオペアンプの仮想接地点39に輸入され、S/H信号が0のとき反転回路40によりスイッチ41がオンとなって掛算部の出力が R_F を介してグラウンドに接続されるので加算部4の帰還キャパシタ C_F には加算されないことになる。今、S/H信号が1のとき、掛算部3の出力電圧は R_F を介してオペアンプ39の-端子に輸入し、入力電圧を R_F で割った電流が仮想接地を介して帰還キャパシタ C_F の方に輸入される。キャパシタ C_F を含む積分回路の帰還回路42には4つのスイッチを用いてオフセットキャンセル機能が付加されている。今オフセットコントロール信号OCが1になったとすると、スイッチ43と44がオンで、45と46がオフとなる。オフセットコントロールOCは入力部2にも入力され、これが1である場合にはデータ入力に強制的には

加算部4の出力はサンプル/ホールド回路5の入力となる。サンプル/ホールド部5では、サンプル/ホールド制御信号S/H_{over}が1である場合に、スイッチ48を介して加算部4の出力がコンデンサ C_h に蓄えられる。S/H_{over}信号が1である場合には、反転回路54'によってスイッチ50の制御信号は0となり、コンデンサ C_h の一方の端子はグラウンドに接地されず、スイッチ51がオンになることによりユニットの最終出力データの信号がそのスイッチ51を介して入力される。すなわち、その時の最終出力信号がフィードバックされてコンデンサ C_h の下側に与えられる。従って、 C_h のコンデンサには、加算器の出力から最終出力データの値を引いた電圧が保持される。一方S/H_{over}制御信号が0のときには、スイッチ49と50がオンし、コンデンサ C_h の下側はグラウンドとなり、結果として C_h に蓄えられた電圧、すなわち加算部の出力から最終出力値を引いた電圧値がスイッチ49を介して1倍のオペアンプの+側に輸入される。そしてバッファ53を介

してシグモイド関数の入力となる。また、S/H制御信号が1のときスイッチ48がオンし、C₁には加算器の出力値と最終出力値との差の電圧が蓄えられているときには、スイッチ52がオンしている。そのためバッファ53には0ボルトが強制的に入力される。この時にシグモイド関数及びオペアンプを介してデータアウトにはオフセット電圧が生成される。これがスイッチ51を介してC₁の下側に入力される。従ってS/H_{ov}制御信号が0の時点、すなわちスイッチ49がオンでスイッチ52がオフである場合には、C₁に蓄えられた電圧、すなわち(加算部の出力-オフセット電圧)がバッファ53とシグモイド関数を介して最終出力になるが、オフセットコントロール信号OCが1になると、この時に生成されるオフセット電圧もΔvであるから結果としてオフセット電圧がキャンセルされることになる。

シグモイド関数を生成する非線形関数部は非線形回路選択制御部22があり、SelSig信号を1にするとスイッチ55がオンし、シグモイド

関数がオペアンプ56に入力される。しかし、SelSig信号が0の時には反転回路57を介してスイッチ58の制御信号が1となってそれがオンし、シグモイド関数の出力はカットされる。すなわちSelSig信号が0の時には、サンプル/ホールドの出力電圧がシグモイド関数を介さずに直接オペアンプ56に入力される。オペアンプ56は本質的には出力を一端に直接帰還する1倍のオペアンプでバッファの働きをする。すなわち出力インピーダンスを0にするバッファとなる。

出力部7には時分割アナログ出力部24と出力制御部23が接続されている。CS_{in}が1のときにはスイッチ59がオンで、スイッチ61もオンであるため、最終出力値が一端にフィードバックされて、1倍のオペアンプとして働く。それと同時に最終出力値がサンプル/ホールド部5にフィードバックされる。一方、CS_{in}が0のときスイッチ60がオンになり、スイッチ61がオフになる。すなわちバッファ56の出力はデータアウト線には出力されないことになる。しかし、スイ

ッチ60がオンすることによって1倍のバッファを形成するようにしているため問題なく実行される。出力制御部23はCS_{in}によって出力パルス電圧を伝達するかどうかを決める回路である。このCS_{in}をディレイ回路を介してCS_{out}にし、他のニューロンに対する出力アナログ信号の時間タイミングを決定することになる。すなわち、本発明では出力部7からのアナログ信号は時分割で伝送されるため、他のニューロンからのアナログ信号と競合しない。

第13図は本発明の非線形関数部の等価回路である。この回路の左の部分は低電圧源で直流電源62によって決まるベース電圧をベースエミッタ間だけ落とし、その電圧をエミッタロトランジスタ63によって一定電圧を出力し、これをユニット1から6までの定電流源トランジスタ64のベースに入力している。各定電流トランジスタ64のエミッタに抵抗R12が接続されているため、ベース電圧からベースエミッタ間電圧だけ落とした電圧をR12で割った定電流が流れる。一方、

トランジスタ65と66はR11を介して共通にエミッタが接続され、この接続点に定電流源が接続されている。すなわちこの回路は電流切換型の回路であって、そのコレクタ電圧が出力される。これをトランジスタ67のベース電圧とし、各ユニットのコレクタ点を接続することによってV_{out}としている。また、トランジスタ68と69はカレントミラー回路であり、左側のトランジスタのベースコレクタ間を接続し、トランジスタのベースを共通に接続することにより、トランジスタ68に流れる電流と69に流れる電流を同じにしている。すなわち、温度によって極めて安定な回路になっている。トランジスタ69のコレクタ端子を共通して接続することにより、この回路で第14図のシグモイド関数に従う正確な出力が得られる。

次に本発明のタイミング図を説明する。

第15図は本発明のユニットにおけるタイミング図である。D-SYNCとD-CLKは同期信号である。W-CLKはD/Aコンバータに入力

されるデジタル信号を与えるタイミングで、重みデータの各ビットはW-C L Kに同期している。例えば、第15図において、-127に対応するオール1のパターンが与えられ、その後100に対応する01100100のパルスが与えられている。S/H信号は加算部の入力にある時分割加算制御部に与えられる信号である。S/H信号が1のとき掛算部の出力が積分器の帰還キャパシタ C_f に入力される。最初のS/H信号の立ち上がりでデータインプットが入力されたときの掛算部の出力、すなわち入力されたパルス電圧の総和が加算部の C_f キャパシタに入力される。このときD/Aコンバータに与えられるデジタル量は-127であり、この-127に対応するデータが波形70に示すように正の電圧として与えられている。これがキャパシタ C_f に蓄えられる。そして、オフセットコントロール信号OCが71において与えられると、この時S/H信号も正であるので、入力部のオフセットキャンセル部の制御により、入力は0ボルトとなり、この0ボルトに対応するオフセット電

圧が加算部の C_f キャパシタに与えられる。このとき C_f は極性を反転するため、その前のS/H信号の立ち上がりによってセットされていた電圧からオフセット分をキャンセルすることになる。このように蓄えられた電圧が C_f に保持され、次にW-C L Kの各タイミングで異なるニューロンからの入力が重み100に掛けられて加算部に入力される。正負切換回路からの出力は正相で、D/Aコンバータでは圧の重みが与えられるので、反転され、図に示すようにマイナス方向に電圧が生じる。この負の出力電圧は C_f に蓄えられるが、これが前の C_f に蓄えられた電圧と加算される。このように本発明では時分割的に入力と重みとの積の和が C_f に蓄えられる。そして $C S_{in}$ が入力された時点で、 C_f に貯えられた電圧がシグモイド関数を介して出力される。また、 $C S_{out}$ は $C S_{in}$ のパルスが終わってからディレイ時間だけたって出力され、他のユニットに伝送される。

第16図は本発明のブロック図の実施例図である。このブロック図は、第12図をまとめたもの

で、この図に示すように、デジタル重みデータはシリアル入力として入力され、チップはBi-C MOS回路によって構成される。そのため本発明では、低消費電力にでき、また、高速、高帯域アンプにより高速、高精度の処理が可能となる。

(発明の効果)

以上説明したように本発明によれば、ユニット間の接続の重みが可変にでき、ユニット間の接続が完全グラフではない形であるため、複雑とならず、大規模なニューラルネットの実現が可能であり、さらにオフセットキャンセル機能により高精度が実現でき、各ユニットの同時処理により高速実行ができるため、きわめて実現性のあるニューラルネットが構築できるという効果がある。

4. 図面の簡単な説明

第1図は本発明のブロック図、

第2図は本発明に用いられているニューロンモデルのブロック図、

第3図は安全グラフによるニューラルネットの概念図、

第4図は本発明のニューラルネットの構成の概念図、

第5図は本発明のニューラルネットにおける伝送波形の概念図、

第6図は本発明の入力部のブロック図、

第7図は本発明の掛算部のブロック図、

第8図は本発明の加算部のブロック図、

第9図は本発明のサンプル/ホールド部のブロック図、

第10図は本発明のシグモイド関数発生回路のブロック図、

第11図は本発明の出力部のブロック部、

第12図は本発明のニューラルネットのユニットの詳細図、

第13図は本発明の非線形関数部の等価回路、

第14図は本発明のシグモイド関数、

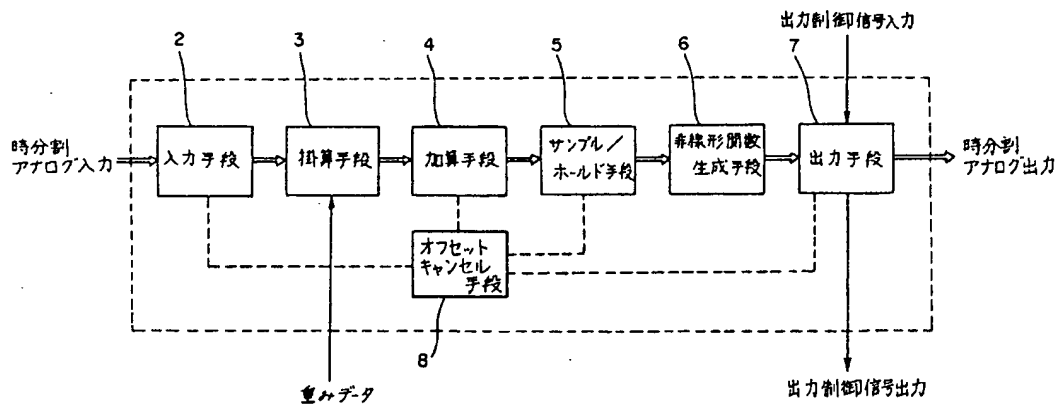
第15図は本発明のユニットにおけるタイミング図、

第16図は本発明のブロック図の実施例図であ

る。

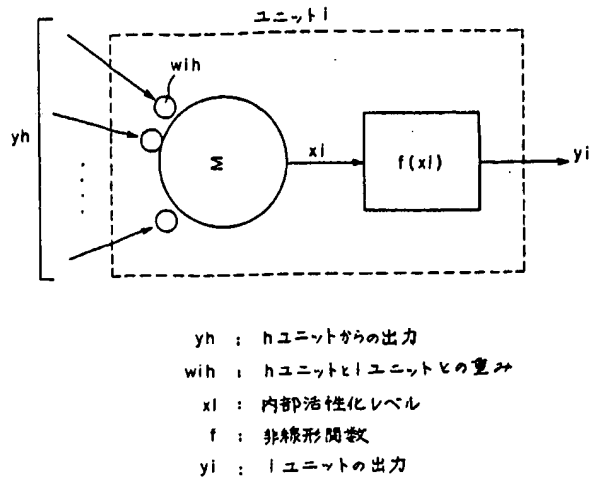
- 2 . . . 入力部
- 3 . . . 掛算部
- 4 . . . 加算部
- 5 . 18 . . . サンプル／ホールド部
- 6 . . . 非線形関数生成部
- 7 . . . 出力部
- 8, 11, 19 . . . オフセットキャンセル部
- 10, 17, 20 . . . オフセットキャンセル制御部
- 12 . . . 正負切換回路
- 13 . . . D/Aコンバータ
- 15 . . . 時分割加算制御部
- 16 . . . 積分器
- 21 . . . シグモイド関数回路
- 22 . . . 非線形回路選択制御部
- 23 . . . 出力制御部

特許出願人 富士通株式会社



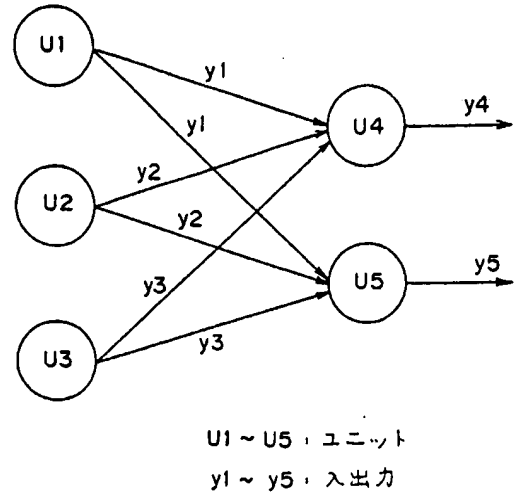
本発明のブロック図

第1図



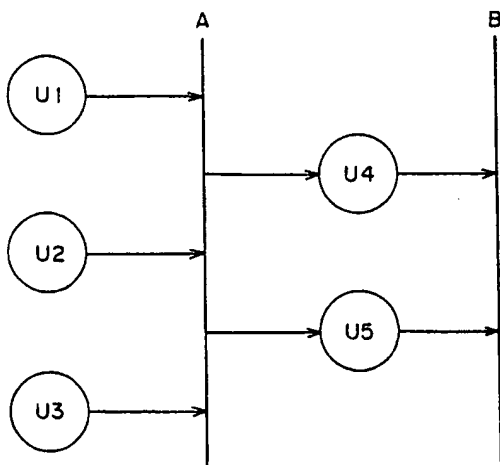
本発明に用いられているニューロンモデルのブロック図

第 2 図



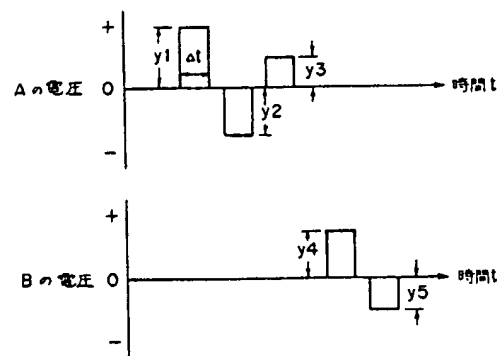
安全グラフによるニューラルネットの概念図

第 3 図



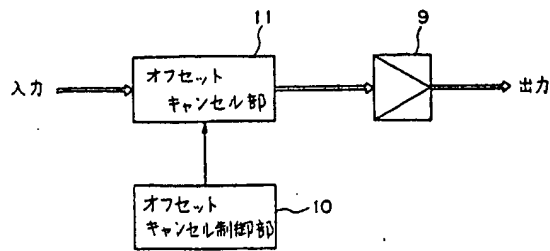
本発明のニューラルネットの構成の概念図

第 4 図



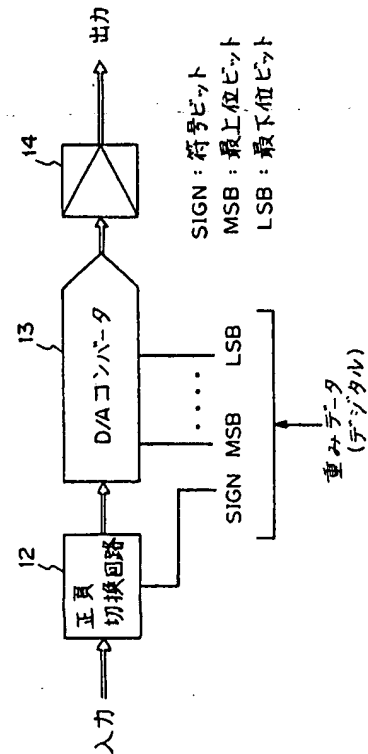
本発明のニューラルネットにおける伝達波形の概念図

第 5 図



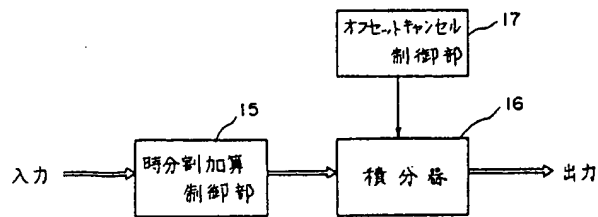
本発明の入力部のブロック図

第 6 図



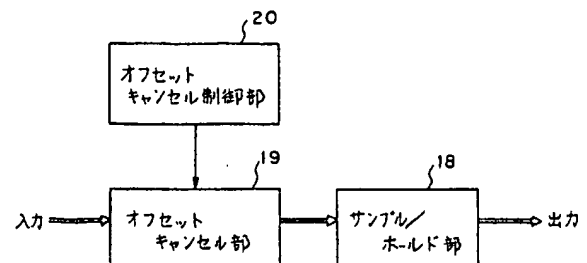
本発明の計算部のブロック図

第 7 図



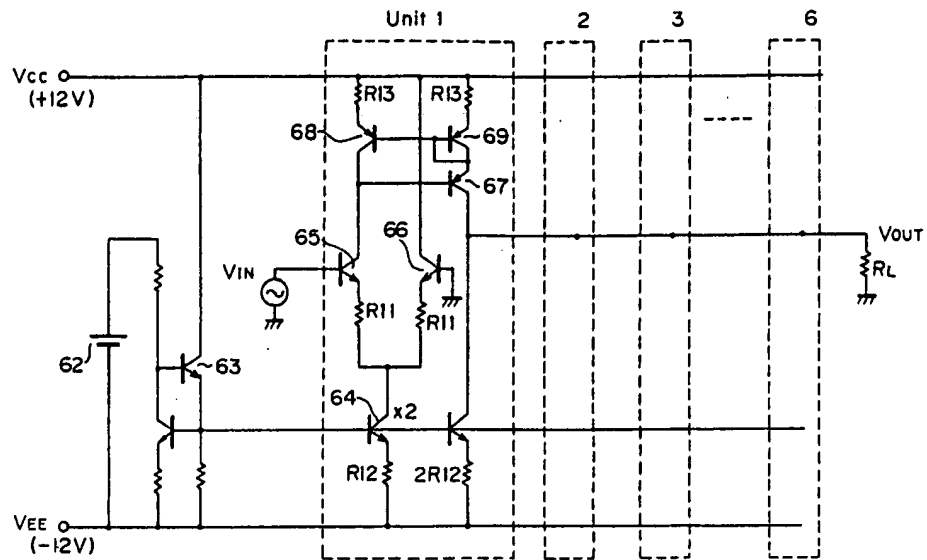
本発明の加算部のブロック図

第 8 図



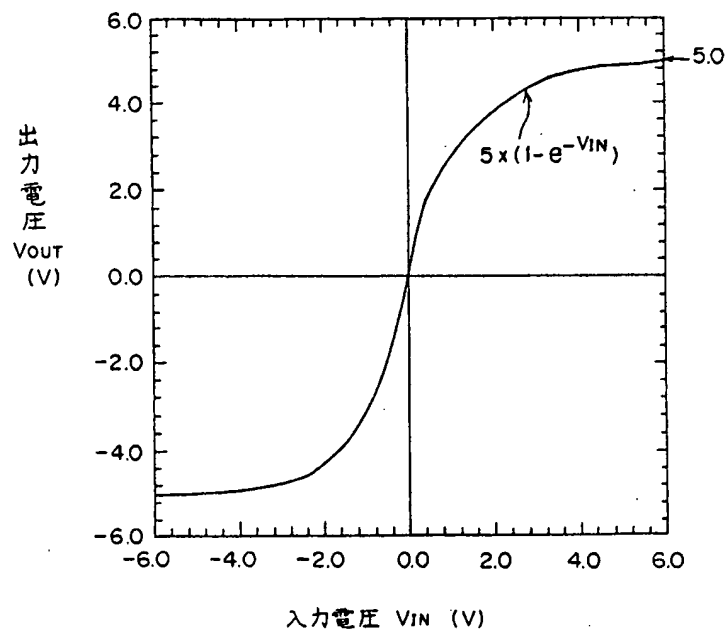
本発明のサンプル/ホールド部のブロック図

第 9 図



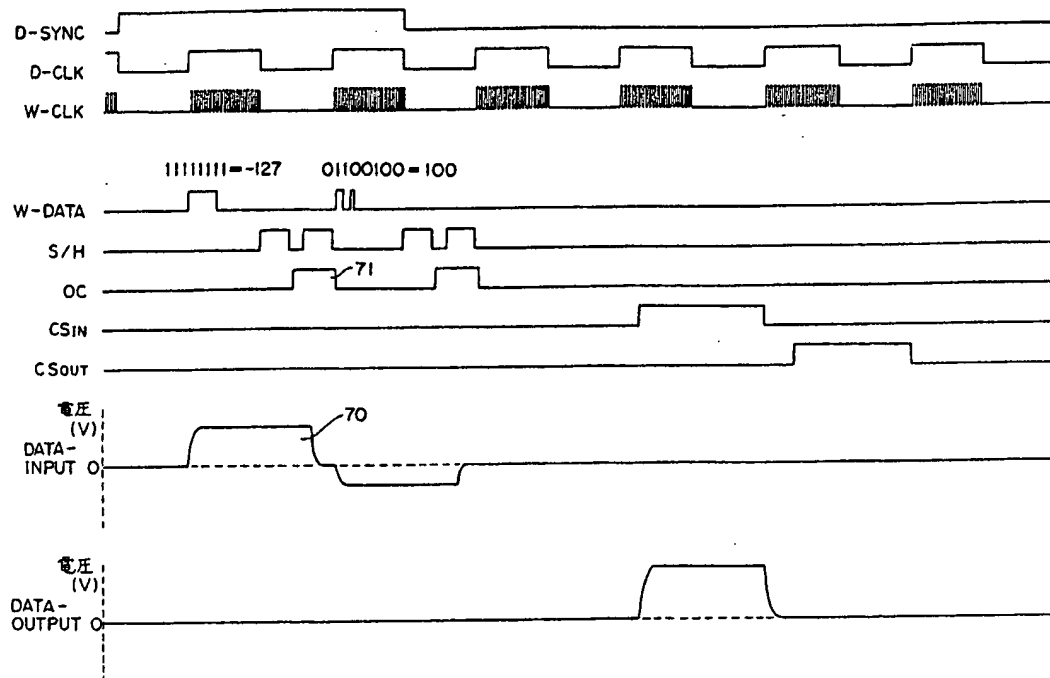
本発明の非線形関数部の等価回路

第 13 図



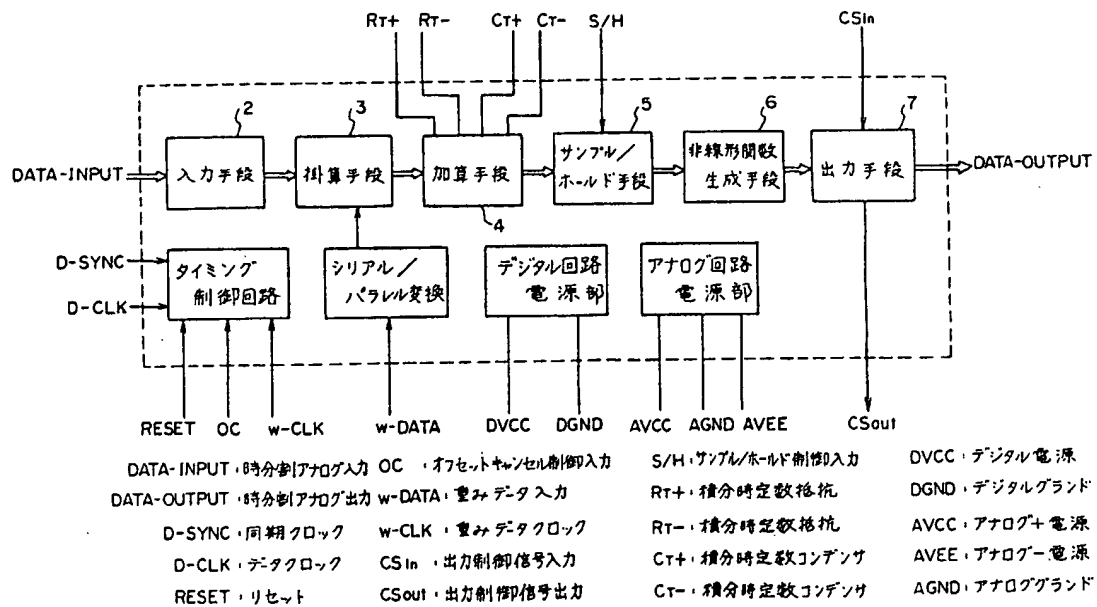
本発明のシグモイド関数

第 14 図



本発明のユニットにおけるタイミング図

第 15 図



本発明のブロック図の実施例図

第 16 図

第1頁の続き

⑦発明者	浅川	和雄	神奈川県川崎市中原区上小田中1015番地	富士通株式会社 内
⑦発明者	加藤	英樹	神奈川県川崎市中原区上小田中1015番地	富士通株式会社 内
⑦発明者	吉沢	英樹	神奈川県川崎市中原区上小田中1015番地	富士通株式会社 内
⑦発明者	市来	宏基	神奈川県川崎市中原区上小田中1015番地	富士通株式会社 内
⑦発明者	岩本	弘	神奈川県川崎市中原区上小田中1015番地	富士通株式会社 内
⑦発明者	土屋	主税	神奈川県川崎市中原区上小田中1015番地	富士通株式会社 内
⑦発明者	石川	勝哉	神奈川県川崎市中原区上小田中1015番地	富士通株式会社 内
⑦発明者	杉浦	義英	神奈川県川崎市中原区上小田中1015番地	富士通株式会社 内